

CLIPPEDIMAGE= JP401303730A

PAT-NO: JP401303730A

DOCUMENT-IDENTIFIER: JP 01303730 A

TITLE: MOUNTING STRUCTURE OF SEMICONDUCTOR ELEMENT AND
MANUFACTURE THEREOF

PUBN-DATE: December 7, 1989

INVENTOR-INFORMATION:

NAME

TANAKA, HIROYUKI

SERIZAWA, KOJI

SAKAGUCHI, MASARU

ISHIDA, TOSHIHARU

YOSHIDA, TORU

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP63132676

APPL-DATE: June 1, 1988

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 257/777, 257/778 , 438/109 , 438/FOR.368

ABSTRACT:

PURPOSE: To enable the manufacturing process to be performed in high yield without increasing the numbers of processes by a method wherein the active surfaces of semiconductor pellets connected to tape leads as well as the tape leads themselves are respectively bonded to one another rear to rear using an insulating bonding agent.

CONSTITUTION: Tape leads 1 gang-bonded to semiconductor elements 4 as well as

the active surfaces of the semiconductor elements 4 are respectively bonded to one another rear to rear using an insulating bonding agent 3 so that the gangbonding may suffice for the connection between the semiconductor elements 4 and the tape leads 1 to eliminate the bonding by face-down process. Furthermore, the active surfaces of the elements 4 can be sufficiently filled up with a molding agent 6 in the molding process by bonding the active surfaces of the semiconductor elements 4 rear to rear. Through these procedures, the manufacturing yield can be augmented while performing the high density mounting process capable of maintaining the reliability such as moisture resistance, etc.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-303730

⑨ Int. Cl.⁴
H 01 L 21/60識別記号 庁内整理番号
R-6918-5F

④ 公開 平成1年(1989)12月7日

審査請求 未請求 請求項の数 2 (全3頁)

⑤ 発明の名称 半導体素子の実装構造とその製造方法

② 特 願 昭63-132676

② 出 願 昭63(1988)6月1日

⑦ 発 明 者 田 中 大 之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 芹 沢 弘 二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 坂 口 勝 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 発 明 者 石 田 寿 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

(産業上の利用分野)

1. 発明の名称

半導体素子の実装構造とその製造方法

本発明は半導体素子の実装構造およびその製造方法に係り、特に、半導体素子をテープ状フィルムに実装するいわゆるTAB(Tape Automated Bonding)方式に好適な半導体素子の実装構造およびその製造方法に関する。

2. 特許請求の範囲

1. 半導体素子ペレットの電極上に形成したバンクにそれぞれ対応するテープリードを接続してなるテープキャリア実装構造において、テープリードに接続した半導体ペレットの能動面の裏面同士およびテープリードの裏面同士を絶縁性接層剤で貼り合わせてなることを特徴とする半導体素子の実装構造。

(従来技術)

半導体素子の高密度実装構造およびその製造方法については、これまでに、例えば、特開昭第61-225825号、特開昭第61-234538号等に提案がなされており、電極上にバンクを形成した半導体素子の能動面を互に向い合わせ、テープリードに配位接合する方法がとられていた。

2. 半導体素子ペレットの電極上にバンクを形成し、各バンクに対応してテープリードを接続する工程を含む半導体素子のテープキャリア実装方法において、半導体ペレットをテープリードに接続した後、ほぼ同一のデバイス孔を有するテープリードの裏面同士および半導体ペレットの能動面の裏面同士を絶縁性接層剤で貼合わせなることを特徴とする半導体素子の実装方法。

〔発明が解決しようとする課題〕

しかしながら、上記従来技術においては、一方の半導体素子をギャングボンディングした後他方の半導体素子をフェースダウン法で実装する形態か、あるいは、双方の素子ともフェースダウン法で実装する形態がとられており、前者の形態の場合にはギャングボンディングとフェースダウン法

3. 発明の詳細な説明

との2種類の工程が必要であり、工程数の増加を招く問題があり、また、後者の形態の場合には、一方の半導体素子をフェースダウン法で実装後、他方の素子を実装する際に、初めに実装した素子がテーブルートからの位置ずれあるいははく離を起しやすく、歩留りの低下を招くという問題があった。

さらに、上記の方法によって2つの素子を実装した後モールド剤を充填する際に、素子の能動面間の間隙にモールド剤が十分に浸入せず、耐熱性等信頼性の低下を招くという問題もあった。

本発明の目的は、従来技術の有していた上記の課題を解決して、製造工程数の増加を招くことなく、高歩留りでの製造が可能で、信頼性の高い半導体素子の実装構造およびその製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的は、ギャングボンディングにより半導体素子を接続したテーブルートの裏面同士および半導体の能動面の裏面同士を絶縁性接層剤を用い

ブ5、モールド剤6、デバイス孔7からなることを示す。ここで、デバイス孔7を有するテーブル2の材質としてはポリイミドあるいはガラスエポキシ基材を用い、該基材上に銅箔からなるテーブルード1を形成する。また、半導体素子4は、通常の工程により回路を形成し、電極上に金、はんだ等からなるパンプ5を形成したものである。また、テーブルード同士および半導体素子同士を貼り合わせる絶縁性接層剤3としては、ポリエステル系接層剤あるいはエポキシ系接層剤などを用いる。

実装製造の方法は下記の通りである。すなわち、まず、半導体素子4上のパンプ5をそれぞれ対応するテーブルード1にギャングボンディングした後、テーブル2の裏面および半導体素子4の能動面の裏面に絶縁性接層剤を塗布し、同様に形成した半導体ボンディング済みテーブルと位置合わせを行った後、裏面同士を貼り合わせる。次いで、デバイス孔7部を含め、半導体素子4全面をモールド剤6を用いて封止する。このようにして、テーブル2のデバイス孔7内に半導体素子を収納する

て貼り合わせた構造とすることによって達成することができる。

〔作用〕

半導体素子をギャングボンディングしたテーブルードの裏面同士および該半導体素子の能動面の裏面同士を絶縁性接層剤で貼り合わせることにより、半導体素子のテーブルードへの接続がギャングボンディングのみで足り、フェースダウン法によるボンディングを追加する必要がなく、また、歩留りのよい実装を得ることができる。

また、半導体素子の能動面の裏面同士を接層することによって、モールドニングの際に、モールド剤が素子の能動面を十分充填することとなるため、耐湿性の劣化等がなく、従って、信頼性が向上する。

〔実施例〕

実施例 1

第1図は本発明の半導体素子の実装構造の一実施例の概略構成を示す断面図で、テーブルード1、テーブル2、絶縁性接層剤3、半導体素子4、パン

プ5、モールド剤6、デバイス孔7からなることを示す。ここで、デバイス孔7を有するテーブル2の材質としてはポリイミドあるいはガラスエポキシ基材を用い、該基材上に銅箔からなるテーブルード1を形成する。また、半導体素子4は、通常の工程により回路を形成し、電極上に金、はんだ等からなるパンプ5を形成したものである。また、テーブルード同士および半導体素子同士を貼り合わせる絶縁性接層剤3としては、ポリエステル系接層剤あるいはエポキシ系接層剤などを用いる。

実施例 2

第2図は本発明の半導体素子の実装構造の他の実施例の概略構成を示す断面図で、第1図の構成に加えて、テーブル2上に、さらに、必要とする電子部品8、例えば抵抗体、コンデンサ等、を実装した構成を示す。

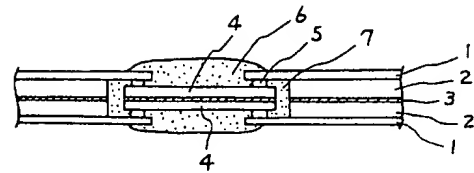
製造方法は、まず、実施例1の場合と同様にして、半導体素子4とテーブルード1とをギャングボンディングし、互いの裏面を貼り合わせた後、必要とする電子部品8を、局部加熱によるはんだ付けあるいは導電性接層剤等を用いて、それぞれのテーブル2上に実装する。

このようにすることによって、機能の異なる電子部品を、さらに、テーブル2上に混載することができる。

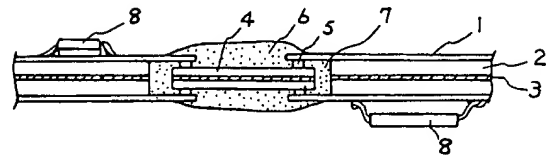
〔発明の効果〕

以上述べてきたように、本発明の半導体素子の実装の製造方法を用い、本発明の実装構造とすることによって、従来技術の有していた課題を解消

第 1 図



第 2 図



- | | | |
|-------------|-----------|-------------|
| 1... テープリード | 2... テープ | 3... 絶縁性接着剤 |
| 4... 半導体素子 | 5... バンプ | 6... モールド剤 |
| 7... デバイス孔 | 8... 電子部品 | |

して、以下に述べるような効果を得ることができた。

すなわち、半導体素子とテープリードとをギャングボンディングのみで接続することができることによって製造工程数の増加を招くことがなく、また、フェースダウン法に起因する位置ずれやはく離を生ずることがないので、歩留り向上を果すことができた。また、半導体素子の能動面の裏面同士を接合した構造とすることによって、半導体能動面がモールド剤によって十分に被覆されるため、耐湿性等信頼性が保持できる高密度実装を得ることができた。

4 図面の簡単な説明

第 1 図は本発明の半導体素子の実装構造の一実施例の概略構成を示す断面図、第 2 図は本発明の半導体素子の実装構造の他の実施例の概略構成を示す断面図である。

1...テープリード、2...テープ、3...絶縁性接着剤、4...半導体素子、5...バンプ、6...モールド剤、7...デバイス孔、8...電子部品

代理人 弁護士 小川勝男

第 1 頁の続き

⑦発明者 吉 田 亨 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内